

Method for producing a semiconductor device which is protected against overvoltage

Patent number: JP50048882

Publication date: 1975-05-01

Inventor:

Applicant:

Classification:

- international: H01L29/06; H01L29/74; H01L29/90

- european: H01L21/223; H01L29/06B2B3C; H01L29/167;
H01L29/36; H01L29/74C

Application number: JP19740023470 19740301

Priority number(s): DE19732310453 19730302

Also published as:

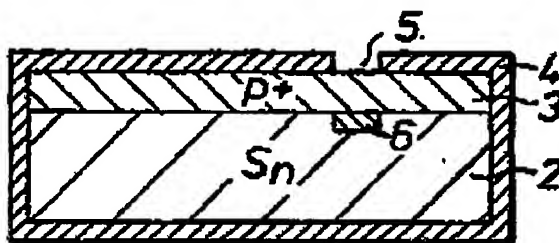
US3919010 (A1)
GB1457909 (A)
FR2220096 (A1)
DE2310453 (A1)

[Report a data error here](#)

Abstract not available for JP50048882

Abstract of corresponding document: US3919010

A method for producing a semiconductor device which is protected against overvoltage and which includes a semiconductor body having at least one pn junction which is to take over a blocking voltage or a blockable metal-semiconductor contact. The semiconductor body is initially doped in a conventional manner to produce the necessary semiconductor layer sequence of the desired types of conductivity and thereafter the net doping is increased in a locally limited region of the pn junction or the blockable metal-semiconductor contact by the controlled introduction of an element which forms a characteristic impurity in the semiconductor body so that the breakthrough voltage of the pn-junction or of the blockable metal-semiconductor contact at the limited region is smaller than along the remainder thereof.



Data supplied from the esp@cenet database - Worldwide



優先権主張
昭和49年3月2日
ドイツ連邦共和国特許
第2370453.2

特 許 願

昭和49年3月1日

特許庁長官 斎藤 英 靖 殿

1. 発明の名称
過電圧に対して保護される半導体装置の製造方法

2. 発明者

住所 フライタ連邦共和国ベーンラフ・ランゲン
トラーク

氏名 ムフガー・カール・ニコル
(ほか1名)

3. 特許出願人

住所 フライタ連邦共和国フランクフルト・
アム・マイン
名称 フライタ・エレクトロニクス・
AG
代表者 ムフガー・カール・ニコル
同 ユーリウス・グロート
国籍 フライタ連邦共和国

4. 代理人

〒100
住所 東京都中央区八重洲1丁目9番9号
東京建物ビルディング6階

電 話 (03) 5462-4589
(6072) 氏名 弁護士 石 山 博
(ほか1名)

明 細 書

1. 発明の名称

過電圧に対して保護される半導体装置の製造方法

2. 特許請求の範囲

半導体装置が、阻止電圧を引受ける少なくとも、1つのpn接合および(あるいは)阻止能力のある少なくとも1つの金属-半導体接触子を有する半導体素子を持つているものにおいて、半導体素子のドーピングの順、まず通常のよう所定の伝導形の層が作られ、それから不純物を形成する元素を付加的に入れることにより、阻止電圧を引受けるpn接合および(あるいは)阻止能力のある金属-半導体接触子の局部的に限られた範囲における正味ドーピングが増加され

て、pn接合あるいは金属-半導体接触子のこの範囲における降伏電圧が他の範囲におけるより小さくされることを特徴とする、過電圧に対して保護される半導体装置の製造方法。

3. 発明の詳細な説明

本発明は、阻止電圧を引受ける少なくとも、1つのpn接合および(あるいは)阻止能力のある少なくとも1つの金属-半導体接触子を有する半導体素子を持つている、過電圧に対して保護される半導体装置の製造方法に関する。

半導体装置の確実な作動のためには、半導体装置を過電圧に対して保護する回路手段を施すことが必要である。降伏電圧以上のピーク電圧が短時間生じて、阻止特性が悪化し、あるいは場合によっては半導体装置が破壊することが

日本国特許庁 公開特許公報

①特開昭 50-48882

④公開日 昭50.(1975) 5. 1

②特願昭 49-23470

③出願日 昭49.(1974) 3. 1

審査請求: 未請求 (全6頁)

庁内整理番号 7410 57

7357 57

6851 57

⑤日本分類

99091

99092

99091

⑥Int. Cl²

H01L 29/90

H01L 29/06

H01L 29/74

ある。このことは、半導体整流器にも、トランジスタのコレクタ阻止電圧にも当てはまり、また特に可制御半導体整流器すなわちサイリスタに当てはまる。

点弧されない状態では、サイリスタは主電流回路の極性に関係して正あるいは負の阻止特性を持ち、換言すれば、サイリスタは両方向に阻止する。その阻止の阻止特性の極性は、サイリスタの順方向に一致する。制御電極へ入る電流パルスによりサイリスタが点弧され、順方向に導通する。このためには、制御電流が特定の最小値すなわち点弧電流以下であつてはならない。しかし正の阻止方向における電圧が特定の値いわゆる零陽電圧を超えると、制御パルスが印加されなくても、サイリスタは導通状態に

られない。

本発明の課題は、阻止電圧を引受ける１つあるいはそれ以上のpn接合および（あるいは）阻止能力のある１つあるいはそれ以上の金属-半導体接合子を、半導体装置への多いキャリアの過電圧が許され、その電気的性質がそこなわれず、また付加的な回路手段が不要となるように、構成する半導体装置の製造方法を提供することにある。

阻止電圧を引受ける少なくとも１つのpn接合および（あるいは）阻止能力のある少なくとも１つの金属-半導体接合子を有する半導体素体を持つている、過電圧に対して保護される半導体装置の製造方法において、この課題は次のようにすることによつて解決される。すなわちそ

特開 昭50-48882(公) 図換わる。シリスタなしのこの点弧いわゆる順上点弧はサイリスタを破壊することがあるので、できるだけ避けねばならない。これに反しサイリスタに負の阻止方向の電圧が加わると、非制御整流器と同じような状態従つてその機能の上述した悪化が生ずる。従つて周期的な正および負の許容ピーク逆電圧に対して、一般に零陽電圧または降伏電圧から適当に減れている値が示される。

サイリスタあるいはサイリスタの阻止電圧を引受けるpn接合が終る線電路における電圧を適当に形成することにより、比較的わずかなキャリアによる過時間の過電圧が可能になるとは知られている。しかし一般にたとえば特別な回路技術のような費用のかかる保護手段は避け

半導体素体のドーピングの際、まず通常の通りに所定の伝導形の層が作られ、それから不純物を形成する元素を付加的に入れることにより、阻止電圧を引受けるpn接合および（あるいは）阻止能力のある金属-半導体接合子の断片的に限られた範囲における正陰ドーピングが追加されて、pn接合あるいは金属-半導体接合子のどの範囲における降伏電圧が他の範囲におけるように小さくされる。

本発明の方法によつて、ちようど領域内の所定の個所において降伏がおこり、これまで知られている領域におけるように、任意の予想できない個所特に縁区域においておこらないようにすることができる。

pn接合を有する半導体装置を保護する際、と

のpn接合の高抵抗側で正味ドーピングが増加されるのがよい。半導体材料にわずかな溶解せずかつ高い速度で拡散するドーピング物質で付加的にドーピングすることにより、正味ドーピングの増加が図られると有利である。

高抵抗領域において、 π 形の範囲が問題となる場合、酸素を除いて元素の周期系の第Ⅲ族の元素の拡散により、なるべく酸素の拡散により、高い正味ドーピングの付加的な設定を行ない、この拡散により π 形領域のドーパント濃度の高さを最初存在した濃度の β 倍の値にまで容易に高めることができる。従って正味ドーピングは直ちに所定の降伏電圧に合致される。ドーピングのこの設定の範囲における空間的に設けられた範囲の維持は、 π 領域技術の適用によつて

図面に示された実施例について、本発明による方法を詳細に説明する。

出発材料としてたとえば図 π 形 π 領域からなる第1図の半導体 π 層から、まず半導体技術の公知の方法段階により、 π 形および π 形の範囲の層が作られ、この目的のためにたとえば普通の π 領域拡散が用いられる。その π 形層と π 形層からなる第2図の層が得られる。

さてこうして準備された半導体 π 層の表面に、酸化物層が作られる。この酸化物層は、正味ドーピングを高めようとする容積の内部にある範囲に対応する位置、形状および大きさの開口を持ち、この所で降伏がおこるようになる。このように π 領域を施された π 層はそ

行なわれ、それにより場合によつては複数の異なる構造が比較的狭い公差で作られる。

この場合装置の高い拡散速度が利用されるので、既に存在する構造および異なる導電率の層からなる既に存在する構造がその位置を大して変えないような拡散時間および拡散温度で処理することができる。他方装置の溶解度が低い結果、拡散中および拡散後わずかな量の酸素が通過する領域に内部として残るだけであり、この範囲の高いドーピングを中は中絶されるほど変化しない。たとえば酸素の溶解度は π 領域あるいは π 領域のそれより数倍低いので、 π 領域あるいは π 領域を多くドーピングされている範囲における酸素のドーピングは中絶とはならない。

それから酸素拡散を受け、それにより第3図の範囲における π 領域が高められて、他の π 領域の π 領域より約 β 倍高い濃度となり、それによつてこの π 領域の降伏電圧を他の π 領域の降伏電圧より小さくする。それから酸化物層の除去後、通常のように半導体 π 層に接合 π 、 π が設けられ、それにより第4図に示す層が得られる。

過電圧に耐える π 領域 π 領域電子なだれ π 領域 π 領域が要求される場合には、 π 領域を高められる範囲の面積は充分大きくなければならず、場合によつてはpn接合の面積のかなり割合になる。

このため第4図に示す方法でなく、第5図に示すように、まず酸化物層の開口がそれ

に応じた大きさに作られる。焼いて行なわれる
 焼成拡散の際、高くドーピングされる n 形区域
 の面積も増大されて、場合によっては生ずる
 過電圧による半導体装置の負荷が、それを相衡
 することなく吸収され、特に個々の範囲がこの負
 荷をまねがれる。

半導体ウェーハにおける酸化物層の除去、酸
 の回収および接触子の形成のような処理段階
 は、通常のように行なわれるので、結局第7図
 に示す半導体装置が得られる。

焼成拡散の際の拡散条件特に温度、時間およ
 びドーピング物質の選択は、降伏範囲における
 正味ドーピングの大きさ従って半導体装置のこ
 の範囲における降伏電圧の高さを精密に設定を
 可能にする。

合の深さに合わされる。

本発明は前述した特許請求の範囲に記載され
 た特徴を有するものであるが、その実施態様を
 例示すると次の通りである。

- 1) pn 接合を持つ半導体装置において、この pn
 接合の高低抗側で正味ドーピングが増加され
 る、特許請求の範囲に記載の方法。
- 2) 半導体材料にわずかに溶解せずかつ高い
 速度で拡散するドーピング物質で付加的にド
 ーピングすることにより、正味ドーピングの
 増加が設定される、特許請求の範囲あるいは
 1)に記載の方法。
- 3) ドーピング物質として、酸素を除いて元素
 の周期系の第4b族の元素が使用される、特許
 請求の範囲、1)および2)に記載の方法。

特開 昭50-48882 号

焼成の拡散を行なうために、アルゴンを満た
 された石英管内のウェーハを封入するのがよい。
 アルゴンの圧力は、室温で充填する時約100Torr
 で、従って拡散温度における石英管の内圧が低
 圧外圧と同じ高さになるようにする。

ドーピング物質源として、約99.99%の純度
 を持つ元素状焼成の石英ウェーハが石英管内にあ
 る。焼成の量は、拡散温度で約10Torrの焼成分
 圧が現われるように定められる。この量は30
 cm³の石英管容積に対して約1.2mgの焼成に相
 当する。

焼成の拡散は、約1000°Cの比較的低い温度で、
 所望のように約6ないし10時間行なわれる。精
 確な拡散条件は半導体ウェーハの厚さおよび焼
 成すドナ温度に合わされ、特に拡散時間が pn 接

- 4) ドーピング物質として焼成が使用される、
 特許請求の範囲、1)ないし6)に記載の方法。
- 5) 降伏の局部的に限られた範囲を維持するた
 め、不純物を形成する元素がマスクを通して
 拡散される、特許請求の範囲、1)ないし6)に
 記載の方法。
- 6) 不純物を形成する元素が酸化物マスクを通
 して拡散される、特許請求の範囲、1)ないし
 6)に記載の方法。
- 7) 半導体ウェーハが石英管内でドーピングさ
 れる、特許請求の範囲、1)ないし6)に記載の
 方法。
- 8) 半導体ウェーハがアルゴン保護ガスの下で
 ドーピングされる、特許請求の範囲、1)ない
 し7)に記載の方法。

7) 半導体ウェーハがアルゴン保護ガスの下でドーピングされて、拡散温度で石英管の内圧がほぼ外圧に等しい高さとなる、特許請求の範囲、1)ないし9)に記載の方法。

10) 半導体ウェーハが約1000℃の拡散温度で拡散される、特許請求の範囲、1)ないし9)に記載の方法。

11) 半導体ウェーハが約4ないし30時間拡散を拡散される、特許請求の範囲、1)ないし10)に記載の方法。

12) ダイオードの製造の際使用される、特許請求の範囲、1)ないし11)に記載の方法。

13) 高くドーピングされたn形区域(4)の面積がpn接合の面積のみなりの割合になる、特許請求の範囲、1)ないし12)に記載の方法。

特開 昭50-48882(5)
14) シリコンの製造の際使用される、特許請求の範囲、1)ないし11)に記載の方法。

15) トランジスタの製造の際使用される、特許請求の範囲、1)ないし11)に記載の方法。

図面の簡単な説明

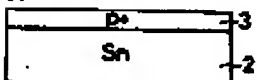
第1図ないし第5図は本発明による方法の第1の実施例の異なる段階を説明する図、第6図および第7図は第2の実施例を説明する図である。

- 1 矩形半導体ウェーハ
1 矩形層
2 矩形層
3 矩形層
4 酸化層
5 開口
6 高ドーピングn形区域

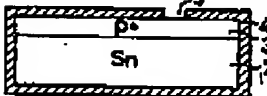
第1図



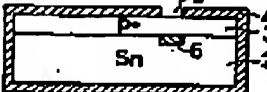
第2図



第3図



第4図

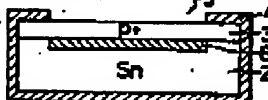


図面の形状(内容に変更なし)

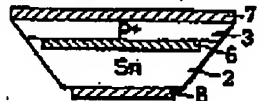
第5図



第6図



第7図



5. 添付書類の目録

(1) 願書副本	1 通
(2) 出願書請求書	1 通
(3) 明細書	1 通
(4) 図面	1 通
(5) 委任状及び訳文	各1 通
(6) 優先権主張書	1 通
(7) 優先権証明書及び訳文	各1 通

6. 前記以外の発明者、特許出願人および代理人

(1) 発明者

住所 フォクランド共和国ペーランド・アイ
セング・イ・フ・ア・ト・ク・ス
氏名 マーティン・フ・ア・ト・ク・ス

特許出願人

(2) 代理人

〒103 東京都中央区八重洲3丁目2番地
東京建物ビルディング第611号4階
電話 (03) 5463-4989

(6231) 氏名 中 平

手続補正書(方式)

特許 昭50-48882 (B)

(B)

昭和 49 年 8 月 19 日

特許庁長官 御 英 鑑 照

1. 事件の表示

昭和 49 年 特 許 願 第 33,470 号

2. 発明の名称

漏電圧に対して保護される半導体装置の製造方法

3. 補正をする者

事件上の関係 特許出願人

名 称

ライオンハイア・パテント・ファルヴァル
トウシス・ゲゼルシャフト・ミフトラ
シムレンタナル・ハフトウング

4. 代 理 人

〒 100
住 所 東京都中央区八重洲1丁目9番2号
東京国會ビルヂング6階
電 話 (03) 6462-4882, 4883

(03) 氏名 弁護士 石 山 博

(外1名)

5. 補正命令の日附

昭和 49 年 7 月 19 日
(受領日 昭和 49 年 8 月 6 日)

6. 補正の対価

国庫の弁償(内庫に徴収なし)

7. 補正の内容 (口頭のとおり)

